

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-314067

(P2002-314067A)

(13) 公開日 平成14年10月25日 (2002.10.25)

(51) Int.Cl.
H01L 29/78
29/814

識別記号

P.I
H01L 29/814
29/78チヤード (参考)
M 6 F 0 5 B
201.G 5 F 1 4 D

審査請求 未請求 請求項の数12 OL (全 17 頁)

(21) 出願番号 特願2001-115709 (P2001-115709)
(22) 出願日 平成13年4月18日 (2001.4.18)(71) 出願人 000003079
株式会社東芝
東京都福生市芝浦一丁目1番1号
(72) 発明者 小山 正人
神奈川県横浜市鶴見区新杉田町8番地 株式会社東芝横浜事業所内
(73) 発明者 西山 邦
神奈川県横浜市鶴見区新杉田町8番地 株式会社東芝横浜事業所内
(74) 代理人 100068478
弁理士 鮎江 武彦 (外8名)

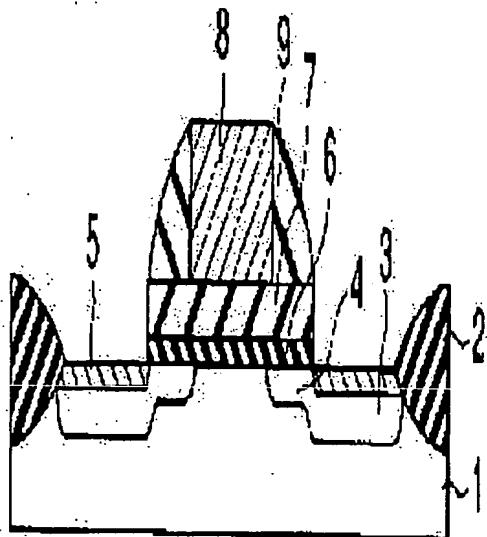
特許出願に記載

(54) 【発明の名称】半導体装置およびMIS型電界効果トランジスタの製造方法

(57) 【要約】

【課題】HfとHf-K材料を含有し、金属酸化物と同種の比誘電率を有するゲート絶縁膜を具備したMIS型電界効果トランジスタを有する半導体装置を提供する。

【解決手段】シリコン基板(1)と、前記シリコン基板上に形成され、空素および酸素の少なくとも1種とシリコンとを含有する絶縁膜(5)と、前記絶縁膜上に形成され、ジルコニウムおよびバフニウムの少なくとも1種の金属原子を含む金属酸化膜(7)と、前記金属酸化膜上に形成されたゲート電極(8)とを具備するMIS型電界効果トランジスタを備える半導体装置である。前記金属酸化膜中の前記金属原子と前記空素との

結合は、1.0:19/cm³以下であることを特徴とする。

【特許請求の範囲】

【請求項 1】 シリコン基板と、前記シリコン基板上に形成され、窒素および酸素の少なくとも一種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも一種の金属原子を含む金属酸化膜と、前記金属酸化膜上に形成されたゲート電極とを備えし、前記金属酸化膜中の前記金属原子と前記窒素との結合は、 $1.0\% / \text{cm}^3$ 以下であるMIS型電界効果トランジスタを備えることを特徴とする半導体装置。

【請求項 2】 シリコン基板と、前記シリコン基板上に形成され、窒素および酸素の少なくとも一種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも一種の金属原子を含む金属酸化膜と、前記金属酸化膜上に形成されたゲート電極とを備えし、前記金属酸化膜中の前記金属原子と前記窒素との結合は、 $1.0\% / \text{cm}^3$ 以下であるMIS型電界効果トランジスタを備えることを特徴とする半導体装置。

【請求項 3】 前記絶縁膜と前記金属酸化膜とは直接接して積層されていることを特徴とする請求項 1または2に記載の半導体装置。

【請求項 4】 前記絶縁膜は、ジルコニウムおよびハフニウムからなる群から選択される少なくとも一種の金属原子をさらに含有するMIS型電界効果トランジスタを備えることを特徴とする請求項 1ないし 3のいずれか 1項に記載の半導体装置。

【請求項 5】 シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに窒素を供給して金属酸化膜を形成する工程と、前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置する窒素および酸素の少なくとも一種とシリコンとを含有する絶縁膜とを備えるゲート絶縁膜を得る工程とを備えることを特徴とするMIS型電界効果トランジスタの製造方法。

【請求項 6】 シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに窒素を供給して金属酸化膜を形成する工程と、

前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも一種の金属と、窒素および酸素の少なくとも一種と、シリコンとを含有する絶縁膜を形成する工程と、

前記金属酸化膜を剥離して前記金属と、シリコンと、窒素および酸素の少なくとも一種とを含有する絶縁膜が

らなるゲート絶縁膜を得る工程とを備えることを特徴とするMIS型電界効果トランジスタの製造方法。

【請求項 7】 シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに窒素を供給して金属酸化膜を形成する工程と、

前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも一種と、シリコンとを含有する絶縁膜を得る工程と、

前記金属酸化膜上にゲート電極材料層を形成する工程と、

前記ゲート電極材料層を熱処理することにより、前記金属酸化膜と前記ゲート電極材料層との間に、前記ゲート電極材料と、窒素および酸素の少なくとも一種と含有する膜を形成する工程を備えることを特徴とするMIS型電界効果トランジスタの製造方法。

【請求項 8】 前記シリコン基板上に前記金属酸化膜を形成する前に、前記シリコン基板上に、酸素および窒素の少なくとも一種の元素を含有する絶縁膜を形成する工程を備えることを特徴とする請求項 1ないし 7のいずれか 1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項 9】 前記金属酸化膜は、励起状態の窒素を含む雰囲気で形成して、前記シリコン基板表面の少なくとも一部にシリコン-窒素結合を形成することにより形成されることを特徴とする請求項 5ないし 8のいずれか 1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項 10】 前記金属酸化膜は、窒素を含む第一の雰囲気中で形成された後、酸素および窒素を含む第二の雰囲気中で形成されることを特徴とする請求項 5ないし 8のいずれか 1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項 11】 前記金属酸化膜の形成後、不活性雰囲気中で 600°C 以上の温度で熱処理する工程を備えることを特徴とする請求項 1ないし 10のいずれか 1項に記載のMIS型電界効果トランジスタの製造方法。

【請求項 12】 前記不活性雰囲気中での熱処理は、前記ゲート絶縁膜上にゲート電極を形成した後に行なわれるこれを特徴とする請求項 1ないし 11に記載のMIS型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係り、特にジルコニウムおよびハフニウムの少なくとも一種を含む金属酸化膜と、シリコンを含む界面絶縁膜との底層絶縁膜をゲート絶縁膜として使用するMIS型電界効果トランジスタを備える半導体装置およびその製造方法に関する。

【0002】

【従来の技術】サブ0.1μm世代のCMOS (Complementary Metal-Oxide-Semiconductor) デバイスにおけるゲート絶縁膜は、SiO₂換算で1.5nmという高いスペックが要求されている。厚さ1.5nmのSiO₂は、絶縁性が悪く、リーク電流による消費電力増加よりも高速性を重視するLSIデバイスにおいてすら実用できない。また、より多くの需要が確実視される個人用携帯電子機器のためのLSIデバイスに求められる最大の要求は低消費電力性であり、そのリーク電流密度がデバイス全体の消費電力に対し大きな部分を占めるゲート絶縁膜に対しては、従来のSiO₂よりも格段にリーク電流の低い新規材料の導入が必須とされている。

【0003】SiO₂換算1.5nmの絶縁膜容量を実現し、かつ低リーク特性を得るためにには、SiO₂より比誘電率の高い材料 (Hf_xh-K材料) を利用し、物理膜厚を大きくすることが有効である。例えば、SiO₂の10倍の比誘電率をもつ材料を利用すれば、SiO₂換算1.5nmの性能を得るための物理膜厚は15nmに設定することができ、直接トネル電流による膜の絶縁性破壊を回避することが可能である。ここで、Hf_xh-K材料とは一般に金属酸化物のことであり、その物理、化学的構造に基づく高い分極が高誘電率の起因となる。

【0004】しかしながら、これらの金属酸化物は、LSIデバイスにゲート絶縁膜として導入することを考えたとき、SiO₂に比較して明らかに不適切な性質を有している。その代表的なものとして、これらの金属酸化物が比較的低い温度 (典型的には400~500°C) で容易に結晶化することが挙げられる。

【0005】従来のLSIにおいてゲート絶縁膜を形成するためには、SiO₂ (またはSi₃ON₄) は、いかなる場合にも結晶の形態に変化することはなく非晶質であった。非晶質であることは、シリコン中の不純物の拡散を防止して絶縁膜の平坦性を高め、リーク電流の低減、LSIチップの素子固特性バラツキを抑えるといった効果をもたらし、LSI製造の歩留まりおよび性能向上に極めて重要である。ゲート絶縁膜が結晶質、特に多結晶形態になることは、従来当然のように得られていたこれらの効果が失われ、歩留まりの低下のみならず、所望の性能を得ること自体が困難になることが予測されている。誘電率をSiO₂よりも高くしつつ、かつLSIプロセスで用いられる温度において容易に結晶化しないようなゲート絶縁膜材料が求められている。

【0006】このような要求を満たすための材料の一つとして、シリコン酸化物とシリコン以外の金属酸化物との混合酸化物が検討されている。例えば、Ti-Si-O、Zr-Si-O、Hf-Si-O、およびLa-Si-Oなどがその典型的なものとして挙げられる。これ

らの材料は、1000°Cといった高温でも非晶質状態を保つか、あるいは部分的には結晶化が生じるもののが絶縁膜の母体としては非晶質性が保持されるといった性質を示す。

【0007】しかしながら、こうした材料においては、非晶質性を高めるためにシリコンを混ぜることによって、その比誘電率が著しく低下するという問題が生じる。これらの合金酸化物の比誘電率が金属酸化物とSiO₂との平均比誘電率で決定されると考えると、例えば組成比1:1で合金を調製した場合には、その比誘電率は1.0~1.5である。さらに、SiO₂に対して1:1のような高い割合で金属酸化物を混入させた場合には、その材料の非晶質性は保たれないことが一般的である。現実的には、シリコン酸化物:金属酸化物の比が3:1程度でないと非晶質性の保持は不可能である。このときの材料の比誘電率は、確実に1.0以下に低下してしまう。現状のデバイスのゲート絶縁膜として使用されるSiON等の実効的比誘電率を5程度と考えれば、これら検討されているシリコン-金属酸化物の比誘電率による物理膜厚増加の効果は、たかだかSiONの1.5倍程度にすぎない。こうした材料によるリーク電流の相対的低減が可能になったところで、おそらくそれは一世代のデバイスにしか利用されない短命な材料となることが予測される。

【0008】

【発明が解決しようとする課題】上述したように、従来のSiO₂ (Si₃ON₄) に替わるHf_xh-Kゲート絶縁膜の材料は、非晶質性を高めるためにシリコンとシリコン以外の金属との合金酸化物を用いることが主流の技術となっている。しかしながら、その比誘電率はたかだか1.0程度となり、複数世代にわたって使用可能なゲート絶縁膜材料とはなり得ないものであった。

【0009】本発明は、上述の問題点を考慮してなされたものであり、その目的は、Hf_xh-K材料を含有し、金属酸化物と同等の比誘電率を有するゲート絶縁膜を具備したMOS型電界効果トランジスタを有する半導体装置を提供することを目的とする。

【0010】また本発明は、Hf_xh-K材料の熱処理時の結晶化を極力抑制して耐熱性を高め、金属酸化物と同等の比誘電率を有するゲート絶縁膜を形成し得るMOS型電界効果トランジスタの製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明は、シリコン基板と、前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも1種の金属原子を含む金属酸化膜と、前記金属酸化膜上に形成されたゲート電極とを具備し、前記金属酸化膜中の前記金

金属原子と前記空素との結合は、 $1.019/\text{cm}^3$ 以下であるMIS型電界効果トランジスタを備えることを特徴とする半導体装置を提供する。

【0012】また本発明は、シリコン基板と、前記シリコン基板上に形成され、空素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、ジルコニウムおよびハフニウムの少なくとも1種の金属原子を含む金属酸化膜と、前記金属酸化膜上に形成されたゲート電極とを具備し、前記金属酸化膜中の前記金属原子は、実質的に前記空素とは直接結合せずに前記酸素と結合しているMIS型電界効果トランジスタを備えることを特徴とする半導体装置を提供する。

【0013】また本発明は、シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに空素を供給して金属酸化膜を形成する工程と、前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置する空素および酸素の少なくとも一種とシリコンとを含有する絶縁膜とを備えるゲート絶縁膜を得る工程とを具備することを特徴とするMIS型電界効果トランジスタの製造方法を提供する。

【0014】また本発明は、シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも一種の金属とともに空素を供給して金属酸化膜を形成する工程と、前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも一種の金属と、空素および酸素の少なくとも一種と、シリコンとを含有する絶縁膜を形成する工程と、前記金属酸化膜を剥離して前記金属と、シリコンと、空素および酸素の少なくとも一種とを含有する絶縁膜からなるゲート絶縁膜を得る工程とを具備することを特徴とするMIS型電界効果トランジスタの製造方法を提供する。

【0015】また本発明は、シリコン基板上に、ジルコニウムおよびハフニウムの少なくとも1種の金属とともに空素を供給して金属酸化膜を形成する工程と、前記シリコン基板を酸化処理して、前記シリコン基板上に位置する金属酸化膜と、前記シリコン基板および前記金属酸化膜との間に位置するジルコニウムおよびハフニウムの少なくとも一種の金属と、空素および酸素の少なくとも一種と、シリコンとを含有する絶縁膜とを備えるゲート絶縁膜を得る工程と、前記金属酸化膜上にゲート電極材料層を形成する工程と、前記ゲート電極材料層を熱処理することにより、前記金属酸化膜と前記ゲート電極材料層との間に、前記ゲート電極材料と、空素および空素の少なくとも一種と含有する膜を形成する工程を具備することを特徴とするMIS型電界効果トランジスタの製造方法を提供する。

【0016】本発明者らは、 $400\sim500$ ℃程度の低温で結晶化が生じるジルコニウム酸化膜あるいはハフニウム酸化膜は、空素を添加して金属酸化物を構成することによって、結晶化温度が上昇することを見出した。シリコンを金属酸化膜に添加した場合とは異なり、空素を添加して形成された金属酸化膜の比誘電率は、金属酸化物の値から劣化することはほとんどない。本発明は、こうした知見に基づいてなされたものである。特に本発明においては、金属酸化膜中に含有される空素は、金属原子と直接は化学結合しないことが必須であり、金属原子と空素原子との結合は、実質的に含まれない。具体的には、金属酸化膜中における金属原子と空素原子との結合は、 $1.019/\text{cm}^3$ 以下でなければならない。XP-Sの検出限界は $1.019/\text{cm}^3$ であり、金属原子と空素原子との結合がこの値未満であれば、金属原子は空素原子と直接化学結合していないとみなすことができる。金属-空素結合が金属酸化膜中に形成されると、膜中欠陥の発生や、比誘電率の低下が生じるが、本発明により、こうした不都合を完全に回避することが可能となった。したがって、金属酸化膜中における金属原子が空素原子と直接化学結合していないことは、本発明において極めて大事な規定事項である。ここで、本発明のような結合形態でも、膜の結晶化温度を上昇させる効果は充分に発揮されることは、実験ですでに確認済みである。

【0017】なお、ジルコニウム、ハフニウム、およびその混合物は、その酸化物の生成自由エネルギーが十分に大きく、熱的に極めて安定な材料である。このため、本発明においては、金属酸化膜を構成する金属を、ジルコニウム、ハフニウム、およびその混合物に限定している。

【0018】さらに本発明の半導体装置においては、上述したような金属酸化膜とシリコン基板との間に界面絶縁膜が形成され、この界面絶縁膜は、シリコンと、空素および酸素の少なくとも1種とを含有する。こうした界面絶縁膜を設けることによって、金属酸化膜に多數含まれる極性分子結合とシリコン基板との間隙をあけることができる。それにより、シリコン基板表面に形成されるチャネルに対するキャリア散乱要因を除去し、さらにシリコンと絶縁膜との界面電気的特性を向上させることができるとなる。

【0019】こうした界面絶縁膜と、この上に直接形成された金属酸化膜との積層構造によって、本発明の半導体装置におけるゲート絶縁膜が構成される。なお、界面絶縁膜と金属酸化膜との積層絶縁膜全体で $S1O2$ 換算 1.5nm 以下を実現するためには、界面絶縁膜は 1nm 以下とする必要がある。したがって、本発明においては、界面絶縁膜を $S1O2$ 換算 1nm 以下とすることが望ましい。

【0020】界面絶縁膜の少なくとも一部には、ジルコニウム、ハフニウムのいずれか、あるいは両方の金属原

子が含有されていてもよい。この場合には、界面絶縁膜の比誘電率が上昇して、実効的にSiO₂換算膜厚を減少させるという効果が得られる。

【0021】以下、本発明を詳細に説明する。

【0022】本発明は、従来技術のように非晶質性を高めるために金属酸化物にシリコンを添加する代わりに、窒素を添加して金属酸化膜を形成する。本発明における金属酸化膜は、シリコン基板上にジルコニウムおよびハフニウムの少なくとも1種と窒素とを同時に供給して、ジルコニウムおよびハフニウムの少なくとも1種の酸化膜を形成し、これを酸化することによって形成される。

【0023】ジルコニウム酸化膜の場合を例に挙げて、本発明における金属酸化膜について説明する。

【0024】まず、シリコン基板上に金属酸化物としてのジルコニウム酸化膜を成膜し、これを500°Cで酸化した。酸化後の膜をXPS(X-ray Photoelectron Spectroscopy)で調べたところ、ジルコニウム、酸素、および窒素が検出され、ジルコニウム酸化膜が形成されていることが明らかになつた。こうして形成されたジルコニウム酸化膜の結合状態について、図1を参照して説明する。

【0025】図1(a)は、ジルコニウム酸化膜の酸化処理前後におけるジルコニウムの結合状態変化を示すXPSスペクトラムである。曲線aは堆積直後のジルコニウム酸化膜におけるジルコニウムの結合状態を表わし、曲線bは、500°Cでの熱処理により酸化処理を行なつた後のジルコニウム酸化膜におけるジルコニウムの結合状態を表わす。ジルコニウム酸化膜の堆積直後の状態(曲線a)では、Zr-N結合を示すピークが現われている。これに対し、酸化処理を行なつた後のジルコニウム酸化膜のXPSスペクトラム(曲線b)では、Zr-N結合は全く検知されず、Zr-O結合のみが観測された。

【0026】図1(b)は、ジルコニウム酸化膜の酸化処理後における窒素の結合状態を示すXPSスペクトラムである。曲線aは堆積直後のジルコニウム酸化膜における窒素の結合状態を表わし、曲線bは、500°Cでの熱処理により酸化処理を行なつた後のジルコニウム酸化膜における窒素の結合状態を表わす。曲線aに示されるように、堆積直後のジルコニウム酸化膜からはZr-N結合が検出される。しかしながら、酸化後には、曲線bに示されるようにZr-Nの信号は消滅して、その代わりに、エネルギー403eV付近にNの結合に関するピークが新たに発生する。このピークは、N-NあるいはN-O結合に帰属される。

【0027】以上のように、本発明におけるジルコニウム酸化膜中では、ジルコニウムは酸素と結合し、窒素とは結合していないという化学結合的な特徴を有する。このようなジルコニウム酸化膜の特徴は、ジルコニウ

ム酸化物の生成自由エネルギーが極めて大きいことに関係している。すなわち、Zr-N結合よりもZr-O結合の方がエネルギー的に安定であるために、Zr-N結合を壊してZr-O結合が形成されることは極めて自然な成り行きである。

【0028】こうした化学的結合状態を有するジルコニウム酸化膜は、本発明の方法により始めて形成された。本発明においては、シリコン基板上にジルコニウム酸化膜を形成し、これを酸化することによってジルコニウム酸化膜が形成されるので、ジルコニウム酸化膜中のZr-N結合を著しく低減して、実質的に含まないことが可能となった。

【0029】以下に、従来技術におけるジルコニウム酸化膜の製造方法と本発明の方法とを図面を参照して比較しながら、本発明の独自性と有用性を説明する。

【0030】図2には、従来法(米国特許第6,013,553号)によるジルコニウム酸化膜の製造方法を模式的に示す。この方法においては、図示するようにシリコン基板上にジルコニウム酸化膜(ZrO₂)を成膜した後、励起状態の窒素(N₂)を用いてジルコニウム酸化膜を酸化することによってジルコニウム酸化膜(ZrON)が形成される。ジルコニウム酸化膜を酸化するため励起状態の窒素が用いられるので、この方法は、準安定な結合状態であるジルコニウム-窒素結合が形成されやすい点に問題がある。

【0031】膜中に形成されたジルコニウム-窒素結合は、図3に模式的に示されるようにジルコニウム酸化膜の準安定な結合ネットワークを乱して、欠陥構造を形成する。あるいは、暫定的に未結合手をもたず準安定な状態を形成したとしても、その本質的なエネルギー的不安定さから、ジルコニウム-窒素結合は潜在的な欠陥となり、絶縁膜の信頼性を著しく劣化させる可能性が高い。

【0032】図4には、本発明におけるジルコニウム酸化膜の製造過程を示す。本発明では、シリコン基板上にジルコニウム酸化膜を形成し、これを酸化処理することによってジルコニウム酸化膜が形成される。ジルコニウム-窒素結合は、ジルコニウム-酸素結合よりもエネルギー的には不安定である。このため、平衡状態に近い条件下で酸化処理を行なうことによって、ジルコニウム-窒素結合はほぼ完全にジルコニウム-酸素結合に置換される。その結果、図5に示すようなZr-O結合を主とする結合状態を有するジルコニウム酸化膜を形成することが可能となる。これにより、ジルコニウム-窒素結合を含まないジルコニウム酸化膜が容易に形成される。

【0033】また、米国特許第6,013,553号に記載されている方法では、図6に示すように、シリコン基板上に金属ジルコニウム膜を形成し、この金属ジルコニウム膜を酸化してジルコニウム酸化膜を形成する。次いで、酸化処理を施すことによりジルコニウム酸化膜

が得られる。この文献には明記されていないものの、こうした方法ではジルコニウム酸化膜を酸化する。しかしながら、この従来方法では、金属ジルコニウムを空化するプロセスにおいて、図5に示されるようにシリコン基板とジルコニウム酸化膜との界面にジルコニウムシリサイド(ZrSi)が形成されてしまう。ジルコニウム金属は化学的に活性であり、同様に化学的に活性なシリコン原子と反応することが避けられないためである。

【0034】これに對して本発明の方法では、ジルコニウム酸化膜形成時は、ジルコニウムは空素と結合しているため、シリコンと化学反応することはない。従来法のようにジルコニウムシリサイドが絶縁膜の下部に形成されることは、デバイスの構造上許されない。なお、従来法でもジルコニウムの空化後、これを酸化するプロセスにおいてジルコニウムシリサイドが酸化された場合には、ジルコニウムシリサイドが絶縁膜に変化することは考えられ、絶縁膜の構造上は問題がなくなる。しかしながら、ジルコニウムシリサイド形成反応時に、シリコン基板中にジルコニウム原子が拡散することは公知の事実であり、拡散した金属ジルコニウムがデバイスの電気的特性を劣化させることが避けられない問題となる。

【0035】以上のように、従来の方法では、ジルコニウムシリコン反応に伴なうデバイス特性の劣化を抑制するとともに、構成原子が図5に示されるような結合状態を有する絶縁膜を得ることは不可能であった。

【0036】金属原子が空素原子と結合しないという本発明における金属酸化膜中の結合状態は、金属酸化膜の比誘電率を金属酸化膜と同等の値に維持するという目的からも重要である。金属原子が空素原子と結合した場合には、金属酸化物の比誘電率の高さの起因である分極率が低下してしまう。本発明における金属酸化膜は、すでに説明したようにその母体は金属酸化膜であり、比誘電率を著しく劣化させる要因は全く存在しない。

【0037】ジルコニウム酸化膜中に金属原子と空素原子との結合を含まないことに加えて、本発明では、そのジルコニウム酸化膜とシリコン基板との界面にS.I.O₂換算1nm以下の界面絶縁膜を備えることを特徴としている。図7を参照して、本発明における界面絶縁膜の物理的な特徴を説明する。

【0038】図7(a)は、ジルコニウム酸化膜/シリコン基板界面およびジルコニウム酸化膜/シリコン基板界面における界面絶縁膜のシリコンの結合状態を示すXPSスペクトラムである。曲線bは、堆積直後のジルコニウム酸化膜とシリコン基板との間の界面絶縁膜におけるシリコンの結合状態を表わし、曲線cは、500°Cでの熱処理により得られたジルコニウム酸化膜とシリコン基板との間の界面絶縁膜におけるシリコンの結合状態を表わす。

【0039】図7(b)は、ジルコニウム酸化膜/シリコン基板界面およびジルコニウム酸化膜/シリコン基板界面における界面絶縁膜の空素の結合状態を示すXPSスペクトラムである。曲線dは、堆積直後のジルコニウム酸化膜とシリコン基板との間の界面絶縁膜における空素の結合状態を表わし、曲線eは、500°Cでの熱処理により得られたジルコニウム酸化膜とシリコン基板との間の界面絶縁膜における空素の結合状態を表わす。

曲線dに示されるように、ジルコニウム酸化膜/シリコン界面には、わずかのシリコン-空素結合しか含まれない。これに対して、500°Cでの熱処理により形成されたジルコニウム酸化膜/シリコン基板界面の界面絶縁膜には、曲線eに示されるように多数のシリコン-空素結合が存在する。これは、ジルコニウム酸化膜を酸化する段階で空素原子が放出され、この空素原子が新たな界面絶縁膜の構成に関与していることを示している。

【0040】こうした特徴を有する界面絶縁膜は、本発明により初めて形成することが可能となった。本発明においては、まず、シリコン基板上にジルコニウム酸化膜を形成し、次いで、これを酸化することによりジルコニウム酸化膜が形成される。具体的には、ジルコニウム酸化膜の成長は、脱起状態の空素を含む雰囲気中で行なわれ、このとき、シリコン基板表面のシリコン原子の一部が空素と結合する。さらにこの上にジルコニウム酸化膜を形成し、酸化処理を施してジルコニウム酸化膜が形成される。酸化処理の際、シリコン基板の表面におけるシリコン-空素結合は、シリコン基板の酸化を抑制する役割を果しながら、それ自体が界面絶縁膜の一部として取り込まれる。また、ジルコニウム酸化膜の酸化処理によってジルコニウムとの結合が外れた空素原子は、膜外部への拡散、膜内部への残存、シリコン基板との界面層の形成という3通りの経路を保る。これらの空素原子のうち、膜内部に残存した空素原子は絶縁膜の耐熱性を向上させ、界面層の形成に関わる空素は、ジルコニウム酸化膜の酸化処理における意図しないシリコン基板再酸化を極力抑える効果を発揮する。こうした効果を発揮した後であれば、ジルコニウム酸化膜中に空素が残存せすとも構わない。

【0041】次に、本発明のジルコニウム酸化膜における結晶化抑制の機能について説明する。図8は、薄膜の結晶状態を調べるためにXRD(X-Ray Diffraction)スペクトラムである。ジルコニウム酸化膜は、400°C以下の温度で結晶状態に転移するこ

とが知られている。

【0042】図8(a)は、膜厚5nmのジルコニウム酸化膜についての、堆積直後と500°Cで熱処理したときのXRDスペクトラムである。一般に、バルクと比較して、薄膜状態では膜が薄いほど金属酸化物の結晶化反応が抑制されることが知られている。しかしながら、ジルコニウム酸化膜は5nmという極薄膜においても、500°Cの熱処理で充分強い強度の結晶ピークを示しており、膜が結晶状態に変化したことがわかる。

【0043】図8(b)には、本発明のジルコニウム酸化膜の熱処理に対する挙動を調べた結果を示す。この実験では、5nmのジルコニウム酸化膜を500°Cで酸化したジルコニウム酸化膜を、さらに500°C、600°C、700°Cで熱処理したときの結晶化挙動を示している。このとき、ジルコニウム酸化膜の膜厚は10nmであった。図8(b)に示されるように、本発明におけるジルコニウム酸化膜は、500°C、600°Cでは結晶化せず、700°Cで始めて結晶(CrO₂)のピークを示している。参考として用いたジルコニウム酸化膜の膜厚は5nmとジルコニウム酸化膜より薄いので、結晶化反応が抑制されるはずである。しかしながら、厚い10nmのジルコニウム酸化膜の結晶化温度が、参考実験よりも高くなっている。この結果は、厚い膜厚は本来結晶化しやすい条件であるにもかかわらず、酸化膜を形成したことにより結晶化が逆に抑制されたことを意味している。このように、本発明におけるジルコニウム酸化膜が結晶化抑制機能を備えている事実は明らかである。

【0044】本発明のジルコニウム酸化膜/シリコン酸化膜/シリコン構造の電気的特性を説明する。図9は、本発明の絶縁膜上に金電極を形成し測定したC-V特性である。図9には滑らかなC-Vカーブが示されており、本発明における絶縁膜とシリコン基板界面との界面準位密度は、実用的な水準であることが確認された。また、図9のC-V特性の箇所容量値から界面絶縁膜のSiO₂換算膜厚を計算したところ約1.2nmであり、H1モードゲート絶縁膜の導入が予定されるSiO₂換算膜厚1.5nm以下という性能を充分満たすことがわかる。

【0045】図10には、図9のC-V特性を示した本発明のジルコニウム酸化膜/シリコン酸化膜/シリコン構造の断面TEM写真を示す。ジルコニウム酸化膜の物理膜厚は3nmであり、シリコン酸化膜の物理膜厚は1.5nm程度である。この構造的な特徴と図9で説明した絶縁膜全体でのSiO₂換算膜厚の値とに基づいて比説電率を計算したところ、ジルコニウム酸化膜の比説電率は約2.0であり、界面絶縁膜の比説電率は約1.0であった。本発明における界面絶縁膜の比説電率～1.0は、特許なシリコン酸化膜のそれよりも高い。したがって、ジルコニウム酸化膜とシリコン基板との界

面に形成された界面絶縁膜は、異なるシリコン酸化膜ではなく、それにジルコニウムが添加されている状態であることが確認された。こうした構造は、ジルコニウム酸化膜堆積時にシリコン表面に局在分布したジルコニウムが界面絶縁膜に取り込まれることにより実現されたものであり、本発明の製造方法によってのみ得られる特有の構造である。

【0046】このような本発明のジルコニウム酸化膜/シリコン酸化膜構造は、後工程における熱処理に対するシリコン基板再酸化に十分に耐え得ることがわかっている。

【0047】図11は、その事実を示す実験結果である。通常の従来技術によるジルコニウム酸化膜と、本発明におけるジルコニウム酸化膜とを、600～1000°Cの範囲で空素アニールしたときのSiO₂換算膜厚の変化を調べた結果を示す。通常のジルコニウム酸化膜の場合には、1000°Cでは2.5nm以上のSiO₂換算膜厚の増加が観測された。これに対して、本発明のジルコニウム酸化膜では、900°C以上ではやはり同様にSiO₂換算膜厚が増加するものの、その増加幅はジルコニウム酸化膜よりはるかに少なく、1000°Cにおいてもわずかに3nmの増加しか起きなかった。

【0048】本発明におけるジルコニウム酸化膜の耐酸化性の向上には、複数の要因が考えられる。第一には、本発明のジルコニウム酸化膜が熱処理雰囲気中の酸素の拡散を防止して、シリコン基板の酸化を抑制したこと、第二に、本発明の界面絶縁膜であるシリコン酸化膜が酸素の拡散を防止したこと、第三に、本発明のジルコニウム酸化膜は耐熱性が高く、高温熱処理時の酸素放出量が極めて少ないことが挙げられる。これは、いずれも本発明の構造により初めて得られた特有な効果である。

【0049】なお、本発明においては、より高い絶縁膜容量を得るために、励起状態の酸素を用いてジルコニウム酸化膜の酸化処理を行なうことが好ましい。このような手法で酸化処理を施すことによって、ジルコニウム酸化膜の酸化をより高効率で行なうことができるとともに、酸化に必要な基板温度を低温化することにより酸化時のシリコン基板再酸化を極力抑制することが可能となる。

【0050】また、ジルコニウム酸化膜の製造後には、600°C以上の温度で、不活性雰囲気、例えば空素雰囲気でのポストアニールをすることが好ましい。これによって、リーコ電流の低減とSiO₂換算膜厚の低減と同時に実現することができる。

【0051】図12には、本発明におけるジルコニウム酸化膜をポストアニールしたときのSiO₂換算膜厚等の変化を示す。図12においては、横軸がSiO₂換算膜厚、縦軸がリーコ電流密度である。今回の実験の結果では、700°Cアニール時に最もSiO₂換算膜厚が

強く、リーク電流も低いという性能が得られた。このような効果は、ジルコニウム酸化膜中に残存した、怪わすかな量の格子欠陥のアニールアウトによる効果である。

【0-0-52】以上説明したように、鉛錆膜の結合状態や元素構成を規定しているので、本発明における金属酸化膜／界面鉛錆膜層構造は、耐熱性に優れ、比誘電率は高く、耐酸化性においても怪わすかな性質を有する。こうした特性を有する金属酸化膜／界面鉛錆膜層構造は、本発明の製造方法によってのみ得られるものである。

【0-0-53】

【発明の実施の形態】以下、図面を参照しつつ、本発明を用いたMISFET (Metal-Insulator-Semiconductor Field Effect Transistor) およびその製造方法を説明する。

【0-0-54】(実施例1) 図1-3は、本実施例のMISFETの断面構造である。

【0-0-55】図示するように、シリコン基板1上には、ゲート電極2/金属酸化膜3/界面鉛錆膜5の積層からなるMIS構造が形成されており、ゲート電極2はゲート側面6に取り囲まれている。シリコン基板1中にには、高温度に不純物を拡散した深い拡散領域3、浅い拡散領域4およびシリサイド5が、MIS構造に自己整合的に形成されている。

【0-0-56】次に、図1-4を参照して本実施例にかかるMISFETの製造方法を説明する。

【0-0-57】まず、通常の工程により素子分離領域2を施したシリコン基板1を準備する。この基板を希H₂O水溶液で処理してシリコン基板表面の自然酸化膜を除去し、シリコン表面を水素で终端する。この後、金属酸化膜をシリコン基板上に堆積する。このときのシリコン表面状態としては、水素终端状態以外にも、ハロゲンによる终端状態でも構わないし、金属酸化膜形成までの自然酸化が無視できる環境であれば、シリコン表面を剥き出しの状態であっても構わない。

【0-0-58】金属酸化膜、一例としてここではジルコニウム酸化膜をシリコン基板上に堆積する。本実施例では、ジルコニウムターゲットを用い、アルゴン/窒素混合ガス雰囲気でRFスパッタリングを行なうことにより酸化ジルコニウム薄膜を堆積した。このとき、シリコン表面においては、表面シリコンの少なくとも一部が窒素と結合して、図1-4(e)の断面図に示すようにSi-N結合を含むシリコン表面領域10を形成し、さらにその上部にジルコニウム酸化膜7が形成される。アルゴンと窒素とのガス流量比を2:1とし、RF電力は5.0~30.0W、シリコン基板加熱は行なわないというスパッタ条件で、膜厚1.5nmの酸化ジルコニウム薄膜を堆積した。ここで、ジルコニウム酸化膜の堆積手法はス

パッタリングに限定するものではない。例えば、抵抗加热法、電子ビーム蒸着法、分子線蒸着法、およびレーザーアブレーション法などの物理堆積手法を利用することができる。金属性からいえばスパッタリング法が好ましいが、シリコン基板に導入される損傷を考慮すれば、電子ビーム蒸着法、分子線蒸着法などがより好ましい。

【0-0-59】化学気相堆積法(CVD法)を利用する場合には、原料ガスとしては、特にジルコニウムハロゲン化物(ZrCl₄)と窒素との混合ガスを用いることが望ましい。有機金属原料ガスを用いることによって、原料ガス内部に含まれる酸素原子によるシリコン基板酸化、炭素による鉛錆膜汚染による電気的特性の劣化などを防ぐことができるためである。窒素原料ガスとしては、N₂H₃、励起窒素、およびN₂などを用いることが可能である。励起窒素を用いることがより好ましく、これによって成膜時の基板温度を低下させ、意図しないシリコン基板の酸化を抑えることができる。

【0-0-60】また、ジルコニウム酸化膜は、次のように雰囲気を変化させてシリコン基板上に堆積することができる。まず、第一段階として、少なくとも一部に窒素を含む雰囲気でジルコニウム酸化膜を堆積し、その後、第二段階として少なくとも一部に窒素と酸素を含む雰囲気でジルコニウム酸化膜を形成する。こうした方法によりジルコニウム酸化膜を形成することによって、シリコン基板の表面酸化を抑制しつつ、ジルコニウム酸化膜中に微量な酸素を添加することが可能となる。この場合には、ジルコニウム酸化膜へあらかじめの酸素を添加することによってリーク低減の効果が発揮され、同時により薄いSiO₂換算膜厚を得ることができる。

【0-0-61】引き続いて、図1-4(e)に示されるジルコニウム酸化膜7およびシリコン表面領域10を酸化処理することにより、図1-4(b)に示されるようにジルコニウム酸化膜7を形成するとともに界面鉛錆膜5を形成する。酸化処理の手法としては、通常のドライ酸化(O₂)、ウェット酸化(O₂/H₂)、オゾン酸化(O₃)、ラジカル酸化(励起酸素)、N₂O酸化、NO酸化、N₂/O₂酸化、Ar/O₂酸化、陽極酸化(電解質あるいはグロー放電)など、既存の酸化技術を用いることが可能である。例えばドライ酸化を用いる場合には、リーク電流とSiO₂換算膜厚とを最適化するため、酸化温度500°Cのときには酸化時間1分以下が望ましく、酸化温度400°Cのときには酸化時間5分以上とすることが望ましい。また、ラジカル酸化のような励起状態の酸素を利用すれば、酸化時間はさらに短縮することが可能となり、より薄いSiO₂換算膜厚と低リーク電流を得ることが可能となる。

【0-0-62】ジルコニウム酸化処理に引き続いて、不活性雰囲気での高溫熱処理を行なうことによって、SiO₂換算膜厚を減少させるとともにリーク電流を低下させ

ることができます。この高温熱処理は、酸化処理後にジルコニウム酸化膜および界面絶縁膜中に残存する欠陥構造をアニールアウトして膜を復活化するための工程であり、600~700°C程度の温度範囲で行なうことが望ましい。

【0063】こうして形成されたジルコニウム酸化膜11上にゲート電極8を堆積して、図14 (a) の構造を得る。ゲート電極材料としては、ポリシリコン、高融点金属およびその空化物など、任意のものを使用することができます。すでに説明したように、ジルコニウム酸化膜の酸化処理後の高温アニールは、ゲート電極8を堆積した後に行なうことが望ましい。これは、高温アニールに伴なうジルコニウム酸化膜の熱収縮を抑制し、さらに熱処理界面からの酸素拡散を低下させるという効果がある。その熱処理条件としては、600°C以上の温度が最も好ましい。さらには900°C~1050°Cの範囲での熱処理が好ましい。また、この高温熱処理は、特にポリシリコンゲートの場合には、イオン注入されたゲート電極の活性化熱処理(>1000°C)と同時に行なうことが最も好ましい。一方、金属ゲートの場合には、拡散層の熱活性化(~900°C)と同時に行なうことが最も好ましい。

【0064】引き続き、ゲート電極8を所望の形状に加工し、このゲート電極形状に自己整合的に浅い拡散層領域4を形成して、図14 (d) に示すような構造を得る。本実施例においてゲート電極8の加工時には、ジルコニウム酸化膜7および界面絶縁膜6は加工されずに、シリコン表面の活性領域に残されている。したがって、浅い拡散層領域4を形成するためのイオン注入は、これらの絶縁膜を介して行なわれる。ジルコニウム酸化膜7および界面絶縁膜6を除去した後に、イオン注入することにより、浅い拡散層領域を形成することもできる。

【0065】その後、ゲート側壁9を形成した後、深い拡散層3を形成して、図14 (e) の構造を得る。深い拡散層3の上部のジルコニウム酸化膜7および界面絶縁膜6を除去した後に通常の工程でサリサイド5を形成することによって、図13に示されるMISFETが製造される。

【0066】(実施例2) 図15は、本実施例のMISFETの断面図である。

【0067】図示するように、素子分離領域2を有するシリコン基板1上には、ゲート電極8/金属酸化膜7/界面絶縁膜6の積層からなるMIS構造が形成されており、これらはゲート側壁9、SiN膜12、およびSiO2膜13により取り囲まれている。また、シリコン基板1中には、高温度に不純物を拡散した深い拡散領域3、浅い拡散領域4、およびサリサイド5が、MIS構造に自己整合的に形成されている。

【0068】次に、図16を参照して本実施例にかかる

MISFETの製造方法を説明する。

【0069】まず、通常の工程により、いわゆるリプレースメントゲートの方式で、シリコン基板1内に深い拡散層領域4、深い拡散層領域3、およびサリサイド5を形成した。さらに、ゲート側壁9、SiN膜12およびSiO2膜13を形成した後、ゲートMIS構造となるべき部分を開孔した。こうしたシリコン基板に対し、第一の実施例と同様に、ジルコニウム酸化膜11を形成した。前述の実施例1ではジルコニウム酸化膜の形成法は特に規定しなかったが、本実施例においては、図16 (a) に示すように開口部の側壁部分にもジルコニウム酸化膜11を堆積させる必要があるため、CVD法により成膜することが望ましい。

【0070】引き続き、実施例1と同様の手法により酸化処理を行なうことによって、ジルコニウム酸化膜7/界面絶縁膜6/積層構造を形成し、図16 (b) の構造を得る。

【0071】この後、ゲート電極の堆積し、CMPによる平坦化を行なうことによって、図15に示されるMISFETが製造される。前述の実施例1で説明したジルコニウム酸化膜の性能をさらに向上させるためのポストアニールは、本実施例の場合にはジルコニウム酸化膜の形成後、あるいはゲート電極の形成直後に行なうことが望ましい。本実施例の場合には、熱処理温度は800°C以下に制限され、さらには600~650°Cの範囲で行なうことが望まれる。これは、リーク電流を極力低下させるためである。

【0072】(実施例3) 図17を参照して、ZrSiON単層絶縁膜の製造方法を説明する。

【0073】まず、実施例1と同様の方法により、図17 (a) に示すようにシリコン基板15上にジルコニウム酸化膜(ZrN)17を形成する。このとき、ZrN膜17とシリコン基板15との界面には界面絶縁膜16が形成されている。この界面絶縁膜は、シリコン、酸素および窒素を含有し、ZrN膜17の形成前にシリコン基板15表面の酸化によって形成することができる。あるいは、ZrN堆積時にシリコン表面の酸化によって形成される膜の場合もある。

【0074】さらに、実施例1と同様な方法によりZrN膜17を酸化処理して、図17 (b) の構造を得る。これにより、ジルコニウム酸化膜(ZrON)19/界面絶縁膜18の積層構造が形成される。このとき、界面絶縁膜18はシリコンと酸素、窒素からなり、10原子%以下のジルコニウム原子が添加されている。また、窒素原子は10原子%以下が好ましく、欠陥構造を抑えながら不純物拡散性を向上させるという要請から、2~3原子%であることがより好ましい。以下、この界面絶縁膜18をZrSiON膜と記述する。

【0075】引き続いて、ZrON膜19を、ZrSiON膜18に対して選択的に刻離処理して、図17

(c) のような ZrSiON 単層絶縁膜を得る。ZrON 膜 19 は、例えば 0.1% フッ酸水溶液を用いて刻離することができる。以下に説明するような理由から、ZrON 膜 19 と ZrSiON 膜 18 のエッティング液に対する選択比は、典型的には 10 以上と極めて大きく設定することができる。本発明における ZrON 膜は、すでに説明したように原子結合的には ZrO₂ 膜の物性を有する。一方、本発明における ZrSiON 膜は、基本的にはシリコン酸化膜 (SiON) であり、これにジルコニウム原子が添加されたものととらえることができる。そして、ZrO₂ は、例えばフッ酸系溶液には易溶であるのに対して、SiON 膜は比較的難溶である。こうした理由から、10 以上という大きな選択比を取ることが可能である。

【0076】このようにして得られた ZrSiON 絶縁膜 18 は、1000°C 程度の高温でも非品質性が保たれ、比誘電率が 6 ~ 12 程度に高められる。しかも、基本的に SiON 膜であるために絶縁性が高いために、ゲート絶縁膜として極めて適した特性を有する。

【0077】さらに、本実施例の製造方法では、界面絶縁膜 18 および ZrON 膜 19 を形成する過程で、界面絶縁膜 18 におけるシリコン基板側とは反対の表面付近にジルコニウム原子が添加され、これによって ZrSiON 膜が構成される。このような手法でジルコニウム原子が添加することにより形成された ZrSiON 膜においては、膜の表面ではジルコニウム濃度が高く、例えば 1.020 e⁻¹⁰ cm³ / cm³ 台の原子濃度となる。一方、シリコンとの界面付近ではジルコニウム原子濃度が、例えば 1.017 e⁻¹⁰ cm³ / cm³ 程度以下に低くなるという特徴が必然的に形成される。シリコンとの界面付近でジルコニウム原子濃度が低いことは、界面特性の向上には必須なことであり、本実施例の ZrSiON 膜の性能を高める効用を有している。

【0078】図 1-7 (c) に示すような ZrSiON 単層絶縁膜 19 の上には、実施例 1 で説明したように、図 1-4 (c) 以降の工程にしたがってゲート電極を形成し、浅い拡散層領域、ゲート側壁および深い拡散層領域などを形成することによって、本発明の MISFET が得られる。

【0079】(実施例 4) 図 1-8 (a) を参照して、ZrSiON 絶縁膜の製造方法を説明する。

【0080】まず、図 1-7 (e) に示すように、シリコン基板 15 上にジルコニウムシリコン酸化膜 (ZrSiN) 22 を形成した。ジルコニウムシリコン酸化膜 22 は、例えば、ZrSiN ターゲットを用いて窒素 / アルゴン混合ガスにより成膜することができる。あるいは、ZrSiN ターゲットを用いて窒素 / アルゴン混合ガスにより成膜してもよい。ZrSiN ターゲットを用いて窒素 / アルゴン混合ガスにより成膜し、その若干の酸素が含有された ZrSiN 膜を準備してもよい。また、CVD 法、真空蒸着法によってもこれと同じ性質の膜を形成することができる。図 1-8 (a) に示されるように本実施例では、ZrSiN 膜 22 とシリコン基板 15 との界面には、界面絶縁膜 21 を形成した。この界面絶縁膜 21 は、シリコン、酸素および窒素を含有し、ZrSiN 膜 22 の形成前にシリコン表面の酸空化によって形成することができる。あるいは、ZrSiN 膜 22 を堆積時にシリコン表面の酸空化によって形成される場合もある。また、シリコン酸化膜で被覆されたシリコン基板 15 上に ZrSiN 膜 22 を堆積する際に、シリコン酸化膜に窒素が混入されてシリコン酸化膜となる場合もある。

【0081】さらに、実施例 1 と同様な方法により ZrSiN 膜 22 を酸化処理して、図 1-8 (b) に示されるような ZrSiON 単層絶縁膜 23 膜を得た。界面絶縁膜 21 は、ZrSiN 膜を形成する際に SiON 膜、あるいはその一部にジルコニウム原子が添加された状態である。ZrSiN 膜 22 中のジルコニウム原子が界面絶縁膜の内部に取り込まれて原子結合することによって、ZrSiON 膜へと変化する。

【0082】本実施例で形成された ZrSiON 膜 23 は、その膜の垂直方向のジルコニウム原子濃度に傾斜を有する。具体的には、シリコン基板との界面付近でのジルコニウム原子濃度は低く、ZrSiON 膜表面に近づくにしたがってジルコニウム原子濃度が増加するような濃度の傾斜が自然と形成される。例えば ZrSiON 膜表面付近では、本来は ZrSiN 膜であったために、ジルコニウム原子濃度は 1.020 ~ 1.021 e⁻¹⁰ cm³ / cm³ 程度と高い。一方のシリコン界面付近では、これがもともとはシリコンと酸素あるいは窒素により形成されていた物質であり、ZrSiN 形成プロセスにおける原子打ち込み、あるいはその酸化処理時の熱履歴によって熱脱離して形成されたものである。したがって、ジルコニウム原子濃度は、たかだか 1.017 e⁻¹⁰ cm³ / cm³ 以下である。このような ZrSiON 膜内部のジルコニウム原子の濃度勾配は、本発明の方法により初めて形成される特徴的な構造であり、シリコンとの界面特性向上と誘電率の向上による絶縁膜容量の上昇という 2 つの要請を同時に満たす効果をもたらす。

【0083】図 1-8 (b) に示されるような ZrSiON 単層絶縁膜 23 の上には、実施例 1 で説明したように、図 1-4 (c) 以降の工程にしたがってゲート電極を形成し、浅い拡散層領域、ゲート側壁および深い拡散層領域などを形成することによって、本発明の MISFET が得られる。

【0084】(実施例 5) 図 1-9 を参照して、ZrSiON 単層絶縁膜の製造方法を説明する。

【0085】まず、図 1-9 (a) に示すように、実施例 4 と同様な手法によりシリコン基板 15 上に ZrSiN

膜 22 を形成する。本実施例においては、シリコン基板 15 と $ZrSiN$ 膜 22 との界面に界面絶縁膜が形成されていない点が、実施例 4 の場合とは異なる。こうした構造は、 $ZrSiN$ 膜を成膜する段階において、雰囲気中に存在する酸素を $10^{-6} Torr$ 以下の分圧まで低下させることによって、形成することができる。このとき、雰囲気中に極微量に含まれる酸素原子が $ZrSiN$ 膜の内部に取り込まれたところで、本実施例の効果を失わせるものではない。

【0086】次に、実施例 1 と同様な方法により $ZrSiON$ 膜 22 を酸化処理して、図 19 (b) に示されるような $ZrSiON$ 単層絶縁膜 23 膜を得る。このような構造においてはジルコニウム原子の膜中温度はほぼ均一となり、比誘電率は 1.2 以上の非常に高い値を示す。

【0087】しかしながら、シリコン基板にあまりにも近接してジルコニウム原子が存在する場合には、界面特性の劣化が起きることが知られている。したがって、特に界面特性の性能を重視する場合には、 $ZrSiN$ 膜の酸化処理の条件を設定することによって、図 19 (b) の $ZrSiON$ 膜 23 とシリコン基板 15 との界面にシリコン酸化膜（図示せず）を形成してもよい。例えば、 $500^{\circ}C \sim 600^{\circ}C$ の温度で酸化処理を施すことによって、酸素原子が $ZrSiON/Si$ 界面まで拡散し、その部分でシリコン基板を酸化してシリコン酸化膜が形成される。通常の ZrO_2 膜や $ZrSiO_4$ 膜は極めて酸素拡散速度が早く、シリコン基板の酸化が非常に速いスピードで起きるため、その制御が困難である。これに対して本発明においては、 $ZrSiON$ 膜に添加された空素の作用によって酸素の拡散は制限され、より広いプロセスウインドウで界面酸化膜の厚さを設計することが可能である。

【0088】図 19 (b) に示されるような $ZrSiON$ 単層絶縁膜 23 の上には、実施例 1 で説明したように、図 14 (a) 以降の工程にしたがってゲート電極を形成し、浅い拡散層領域、ゲート側壁および深い拡散層領域などを形成することによって、本発明の MISFET が得られる。

【0089】（実施例 6）図 20 を参照して、上部界面膜/ $ZrON$ 膜/ $SiON$ (Zr) 膜層の構造およびその形成法を説明する。

【0090】図 20 (a) は、界面絶縁膜 16、 $ZrON$ 膜 17 およびゲート電極材料 24 をシリコン基板 15 上に堆積した直後の断面構造を模式的に示したものである。 $ZrON$ 膜/界面絶縁膜層構造は、すでに説明したような本発明の方法により形成される。

【0091】こうして得られた構造を、非酸化性雰囲気中で $900^{\circ}C \sim 1050^{\circ}C$ 程度の高温で熱処理した直後の断面構造を、図 20 (b) に模式的に示す。図示するように、 $ZrON$ 膜 17 とゲート電極材料 24 の界面には、ゲート電極材料と、酸素あるいは空素からなる極薄

い絶縁膜層（以下、上部界面膜と称する）25 が形成される。この上部界面膜 25 の構成要素のうち、酸素は $ZrON$ 膜中に過剰に存在した余剰酸素であり、空素は $ZrON$ 膜中に存在する空素である。上部界面膜 25 の厚さは、これら酸素あるいは空素の含有量によって自己制限的に決定されるため、典型的には 5 \AA 以下と、極めて薄い物理膜厚に抑えられる。また、上部界面膜 25 の中の空素含有量は 10% 以下が好ましく、より好ましくは、その不純物抵抗性が充分発揮されかつ欠陥形成を伴わないという意味で $2 \sim 3$ 原子%程度が望ましい。空素の含有量が 10% を越えると、上部界面膜 25 の内部に空素に起因する欠陥が生成されて電気的特性が劣化するおそれがある。

【0092】こうして形成される上部界面膜 25 の作用は、ゲート電極材料 24、および $ZrON$ 膜 17 中の残留酸素濃度によって著しく変化する。

【0093】まず、ゲート電極 24 としてシリコンを用いた場合について説明する。例えば $1000^{\circ}C$ での空素雰囲気アーナーによって形成された上部界面膜 25 は、シリコン酸化膜に、 $ZrON$ 膜中の空素が添加されて形成された $SiON$ 膜となる。このとき、 $ZrON$ 膜 17 からの熱拡散によって若干のジルコニウム原子、例えば 5% 以下のジルコニウムが上部界面膜 25 中に拡散しているとも構わない。この場合における上部界面膜は $SiON$ (Zr) 膜であり、その作用としては、 $ZrON$ 膜 17 とシリコンゲート 24 の界面を構造安定化し、電気的なトラップの量を低下させるばかりでなく、シリコンゲートからの不純物拡散（ボロン、砒素など）を防止する。

【0094】次に、ゲート電極 24 として高融点金属（チタン、タンクステン、タンタル、モリブデン等）を用いた場合について説明する。この場合は、 $ZrON$ 膜 17 中に余剰酸素がさらに存在するか否かによって、上部界面膜 25 の作用は全く異なるものとなる。

【0095】余剰酸素が $ZrON$ 膜 17 中に存在する場合には、 $ZrON$ 膜 17 とゲート金属 24 との界面には、ゲート金属材料の酸化物に、空素が添加された絶縁膜が形成される。例えば、 $TiON$ 膜、 WO_3 膜などである。このような上部界面膜 25 は、ゲート電極材料 24 と $ZrON$ 膜 17 との界面を構造安定化させ、電気的な欠陥などを減少させる作用を有する。

【0096】一方、 $ZrON$ 膜 17 中に余剰酸素が存在しない場合には、 $ZrON$ 膜 17 とゲート金属 24 との界面には金属空化物が形成される。本実施例で挙げた高融点金属の場合には、金属空化物は導電性物質であるために、この上部界面膜 25 はゲート電極 24 の一部として作用する。

【0097】以上、ジルコニウム酸空化膜を一例として挙げて実施例を説明したが、本発明は、ジルコニウムに限定されるものではない。実施例で説明したジルコニウ

ムをハフニウム、あるいはジルコニウムとハフニウムとの混合物で置き換えた場合にも、全く同様の効果が得られる。

【0.098】

【発明の効果】以上詳述したように本発明によれば、Hf_{1-x}Si_xK材料を含有し、金属酸化物と同等の比誘電率を有するゲート絶縁膜を具備したMOS型電界効果トランジスタを有する半導体装置が提供される。また本発明によれば、Hf_{1-x}Si_xK材料の熱処理時の結晶化を極力抑制して耐熱性を高め、金属酸化物と同等の比誘電率を有するゲート絶縁膜を形成し得るMOS型電界効果トランジスタを製造することのできる半導体装置の製造方法が提供される。

【0.099】本発明により、リーク電流が小さく、絶縁膜容量が非常に高いという、従来よりも高性能なHf_{1-x}Si_xKゲート絶縁膜を有する高速、低消費電力シリコンLSIを得ることが可能となり、その工業的価値は絶大である。

【図面の簡単な説明】

【図1】本発明の半導体装置におけるジルコニウム酸化膜の結合状態を説明するX-PSスペクトラム。

【図2】従来法のジルコニウム酸化膜の形成方法を表わす模式図。

【図3】従来法により形成されたジルコニウム酸化膜の結合状態を表わす模式図。

【図4】本発明の半導体装置におけるジルコニウム酸化膜の形成方法を表わす模式図。

【図5】本発明の方法により形成されたジルコニウム酸化膜の結合状態を表わす模式図。

【図6】従来法のジルコニウム酸化膜の形成方法を表わす模式図。

【図7】本発明の半導体装置における界面絶縁膜の結合状態を説明するX-PSスペクトラム。

【図8】本発明の半導体装置におけるジルコニウム酸化膜の結晶温度上昇効果を説明するXRDSスペクトラム。

【図9】本発明の半導体装置におけるジルコニウム酸化膜/界面絶縁膜層構造と、シリコン基板との界面特性を示す容量-電圧特性の実験結果。

【図10】本発明の半導体装置におけるジルコニウム酸化膜/界面絶縁膜層構造のTEM写真。

【図11】本発明におけるジルコニウム酸化膜/界面絶縁膜層構造の耐酸化性を示す実験結果。

【図12】本発明におけるジルコニウム酸化膜/界面絶縁膜層構造のポストアニールによる性能改善の一例を示す実験結果。

【図13】本発明におけるMOSFETの一例を示す断面図。

【図14】本発明におけるMOSFETの製造工程の一例を表わす断面図。

【図15】本発明におけるMOSFETの他の例を示す断面図。

【図16】本発明におけるMOSFETの製造工程の他の例を表わす断面図。

【図17】本発明におけるMOSFETの製造工程の他の例を表わす断面図。

【図18】本発明におけるMOSFETの製造工程の他の例を表わす断面図。

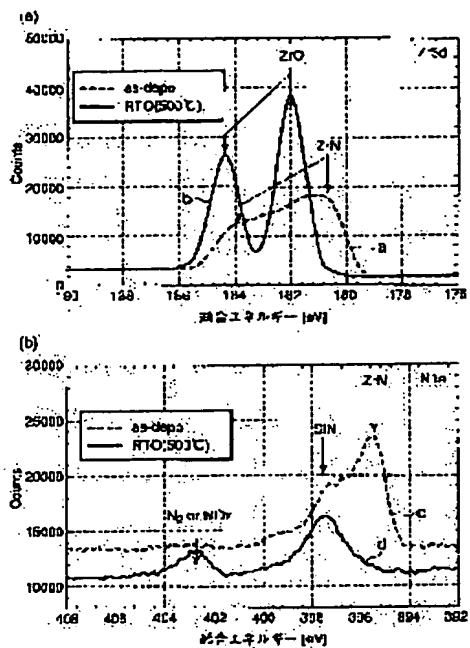
【図19】本発明におけるMOSFETの製造工程の他の例を表わす断面図。

【図20】本発明におけるMOSFETの製造工程の他の例を表わす断面図。

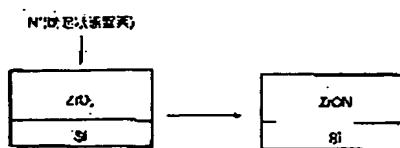
【符号の説明】

- 1…Si基板
- 2…素子分離領域
- 3…深い拡散層
- 4…浅い拡散層
- 5…サリサイド
- 6…界面絶縁膜
- 7…金属酸化膜
- 8…ゲート電極
- 9…ゲート側壁
- 10…Si-N結合を含むシリコン表面領域
- 11…金属酸化膜
- 12…Si-N膜
- 13…Si-O₂膜
- 14…シリコン基板
- 15…界面絶縁膜
- 17…ジルコニウム酸化膜
- 18…ZrSiON膜からなる界面絶縁膜
- 19…ジルコニウム酸化膜
- 21…界面絶縁膜
- 22…ZrSiON膜
- 23…ZrSiON膜
- 24…ゲート電極
- 25…上部絶縁膜

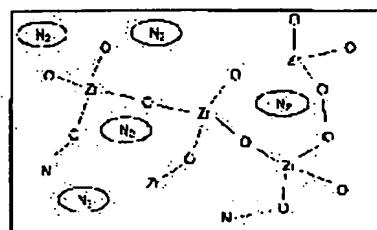
[図 1]



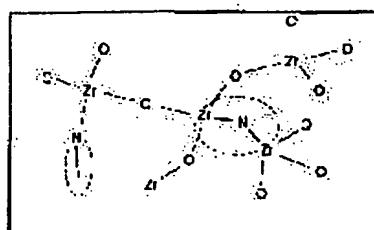
[図 2]



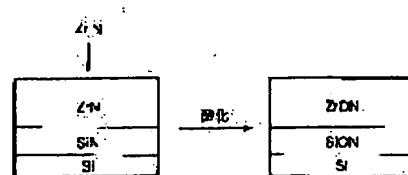
[図 5]



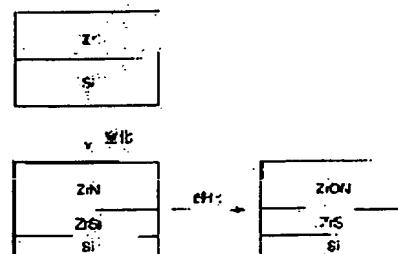
[図 3]



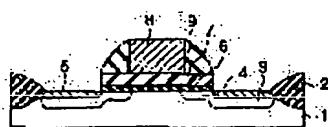
[図 4]



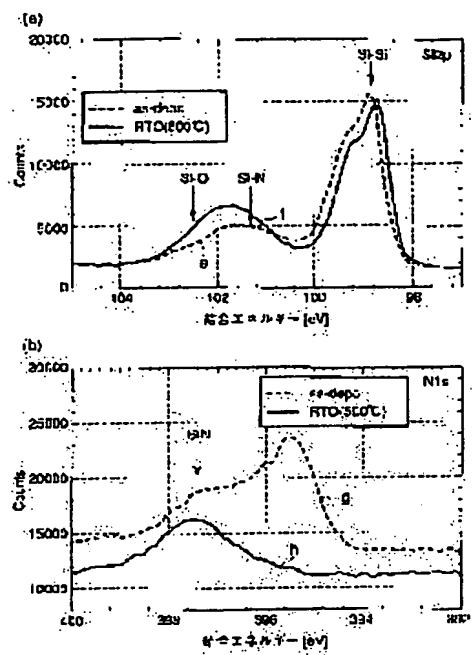
[図 6]



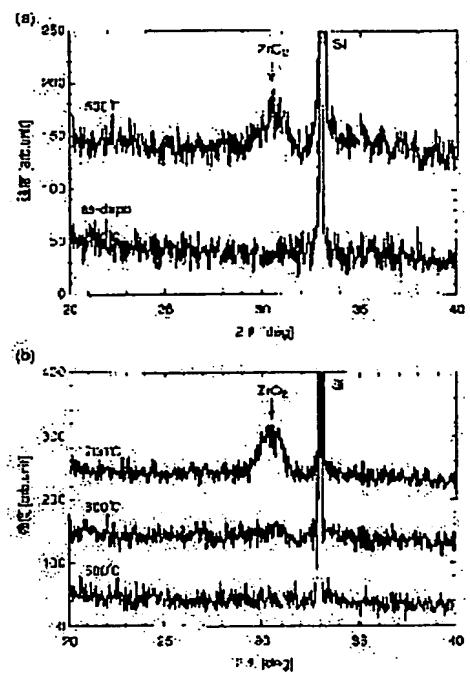
[図 1-3]



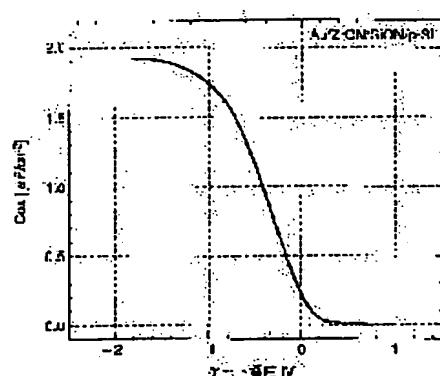
[図7]



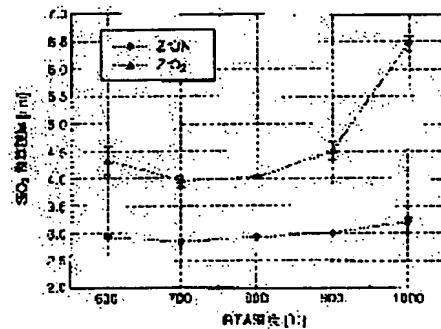
[図8]



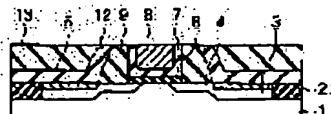
[図9]



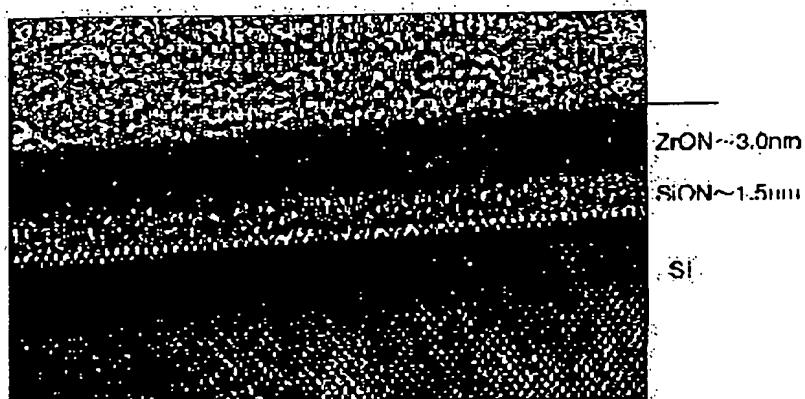
[図1-1]



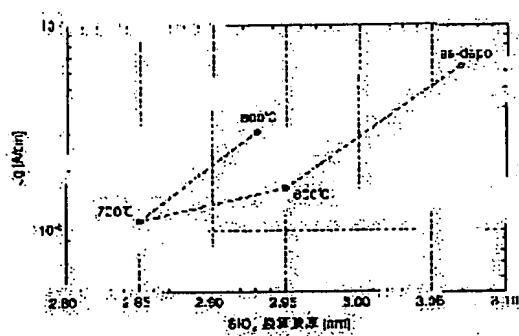
[図1-5]



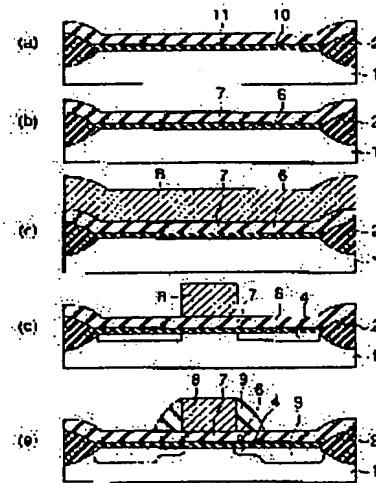
【図 1.0】



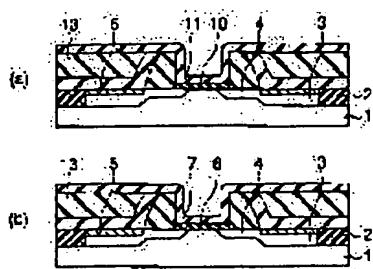
【図 1.2】



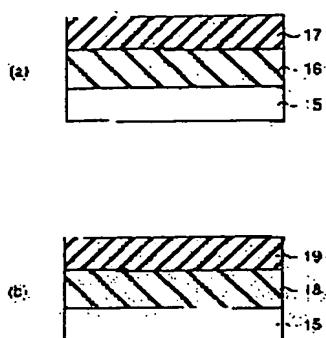
【図 1.4】



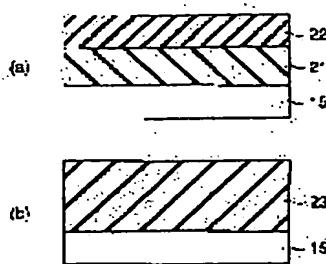
【図 1.6】



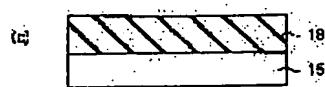
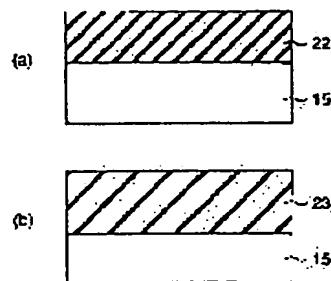
〔図 17〕



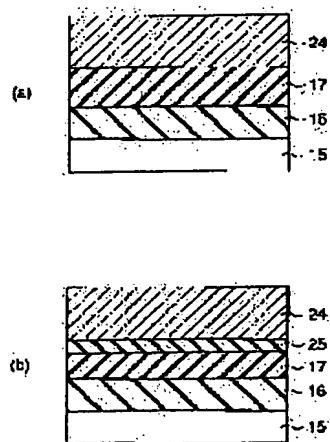
〔図 18〕



〔図 19〕



〔図 2.0〕



フロントページの続き

FTマーク(参考) SF058 BA11 BA20 BD01 BD04 BD16
BF15 BH03
SF140 AA19 BA01 BD01 BD02 BD04
BD09 BE09 BE16 BE17 BF01
BF04 BF05 BG08 BG44 BH14
BJ08 BK02 BK13 CB01 CE07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.